

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-204742

(43)Date of publication of application : 30.07.1999

(51)Int.Cl.

H01L 27/10

(21)Application number : 10-008170

(71)Applicant : SONY CORP

(22)Date of filing : 20.01.1998

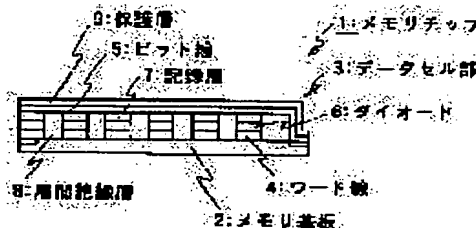
(72)Inventor : ARAYA KATSUHISA

(54) MEMORY AND INFORMATION APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To enable large capacity by a simple step, by a method wherein a data cell part for each holding data and a system part for reading out the data held are prepared in a different manufacturing step.

SOLUTION: A data cell part 3 is constituted on a memory substrate 2 preparing a system part, so that the system part and a data cell can respectively be prepared by a loose design rule on the memory substrate 2 and in the data cell part 3, and a memory of large capacity can be prepared correspondingly in a simple step. Further, the data cell part 3 is prepared by a process different from the memory substrate 2, whereby it can be prepared in a simple step, thereby preparing a memory 1 of large capacity in the simple step. Specifically, it is possible to select a structure of the data cell so that desired data are recorded due to change of a resistance value according to a crystal structure of a record layer 7, and the memory 1 can be prepared correspondingly in the simple step, and further the memory 1 can be prepared by a simple structure.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

09.12.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平11-204742

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.⁸

H 0 1 L 27/10

識別記号

4 5 1

F I

H 0 1 L 27/10

4 5 1

審査請求 未請求 請求項の数40 O L (全 16 頁)

(21) 出願番号 特願平10-8170

(22) 出願日 平成10年(1998) 1月20日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 荒谷 勝久

東京都品川区北品川 6 丁目 7 番35号 ソニ
ー株式会社内

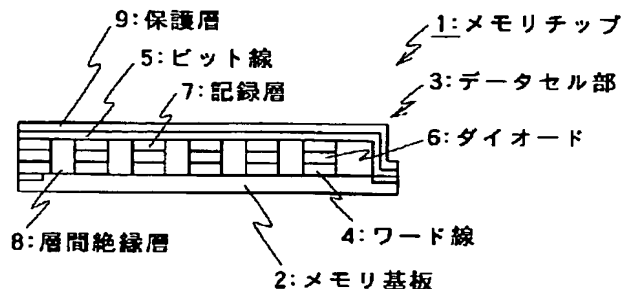
(74) 代理人 弁理士 多田 繁範

(54) 【発明の名称】 メモリ及び情報機器

(57) 【要約】

【課題】本発明は、メモリ及び情報機器に関し、簡易な
工程で、大容量化することができるメモリと、このメモ
リを用いた情報機器を提案する。

【解決手段】データセルの部分3をデータセル(3)を
制御するシステム部(2)と別工程により作成する。



【特許請求の範囲】

【請求項 1】マトリックス状に配置されたデータセルにそれぞれデータを保持するデータセル部と、前記データセルに保持されたデータを読み出すシステム部とを有するメモリにおいて、前記データセル部及び前記システム部が異なる製造工程により作成されたことを特徴とするメモリ。

【請求項 2】前記データセル部と、前記システム部の少なくとも一部とが異なる基板に作成された後、一体化されたことを特徴とする請求項 1 に記載のメモリ。

【請求項 3】前記データセル部の基板に、前記データセルを選択する選択機構の一部を搭載したことを特徴とする請求項 2 に記載のメモリ。

【請求項 4】前記システム部の少なくとも一部を作成した基板上に、前記データセル部を積層して作成したことを特徴とする請求項 1 に記載のメモリ。

【請求項 5】前記データセル部側に、前記データセルを選択する選択機構の一部を配置したことを特徴とする請求項 4 に記載のメモリ。

【請求項 6】前記データセル部を作成した基板上に、前記システム部の少なくとも一部を積層して作成したことを特徴とする請求項 1 に記載のメモリ。

【請求項 7】前記データセル部の基板側に、前記データセルを選択する選択機構の一部を配置したことを特徴とする請求項 6 に記載のメモリ。

【請求項 8】前記データセル部における配線パターン幅が、前記システム部の配線パターン幅に比して幅狭に形成されたことを特徴とする請求項 1 に記載のメモリ。

【請求項 9】前記データセル部は、複数の基準部材の位置決め工程を経て作成され、前記位置決め工程における位置決め精度が、前記データセル部における配線パターン幅に比して、粗くし得るように設定されたことを特徴とする請求項 1 に記載のメモリ。

【請求項 10】前記データセルは、抵抗値により前記データを保持することを特徴とする請求項 1 に記載のメモリ。

【請求項 11】前記データセルは、インピーダンスにより前記データを保持することを特徴とする請求項 1 に記載のメモリ。

【請求項 12】前記データセルは、印加電圧又は印加電流による抵抗値の変化により前記データを記憶することを特徴とする請求項 1 に記載のメモリ。

【請求項 13】前記データセルは、印加電圧又は印加電流によるインピーダンスの変化により前記データを記憶することを特徴とする請求項 1 に記載のメモリ。

【請求項 14】前記データセル部は、再生専用のデータセルと、少なくとも 1 回はデータの記

録が可能なデータセルとを有することを特徴とする請求項 1 に記載のメモリ。

【請求項 15】前記データセル部は、所定の基準部材の形状に倣って少なくとも配線パターンが形成されて前記データセルが形成されたことを特徴とする請求項 1 に記載のメモリ。

【請求項 16】前記基準部材は、所定の凹凸形状を有する基板であり、前記データセル部は、前記基準部材に少なくとも金属膜を堆積した後、前記凹凸形状に従って前記金属膜を選択的に処理することにより、前記基準部材の形状に倣って少なくとも配線パターンが形成されることを特徴とする請求項 15 に記載のメモリ。

【請求項 17】前記基準部材は、所定の凹凸形状を有する部材であり、前記データセル部は、所定の基板に少なくとも金属膜を堆積した後、前記基準部材の凹凸形状を転写し、該転写した凹凸形状に従って前記金属膜を選択的に処理することにより、前記基準部材の形状に倣って少なくとも配線パターンが形成されることを特徴とする請求項 15 に記載のメモリ。

【請求項 18】前記データセル部は、所定方向に延長する第 1 の配線パターンが、前記延長方向と略直交する方向に繰り返し形成され、前記第 1 の配線パターンと略直交する第 2 の配線パターンが、前記第 2 の配線パターンの延長方向と略直交する方向に繰り返し形成され、前記第 1 の配線パターン上に所定間隔で形成された接続点があり、前記第 2 の配線パターンにより順次接続されて前記データセルが作成され、前記第 2 の配線パターンの繰り返し周期が、前記接続点の繰り返し周期に比して小さくなるように設定されたことを特徴とする請求項 1 に記載のメモリ。

【請求項 19】前記データセル部は、前記接続点の何れかが特定のデータを保持する基準のデータセルに設定されたことを特徴とする請求項 18 に記載のメモリ。

【請求項 20】前記システム部は、前記基準のデータセルの検出結果に基づいて、前記第 2 の配線パターンを選択して前記データセルを選択することを特徴とする請求項 19 に記載のメモリ。

【請求項 21】メモリを有する情報機器において、前記メモリは、マトリックス状に配置されたデータセルにそれぞれデータを保持するデータセル部と、前記データセルに保持されたデータを読み出すシステム部とを有するメモリにおいて、前記データセル部及び前記システム部が異なる製造工程により作成されたことを特徴とする情報機器。

【請求項 2 2】前記データセル部と、前記システム部の少なくとも一部とが異なる基板に作成された後、一体化されたことを特徴とする請求項 2 1 に記載の情報機器。

【請求項 2 3】前記データセル部の基板に、前記データセルを選択する選択機構の一部を搭載したことを特徴とする請求項 2 2 に記載の情報機器。

【請求項 2 4】前記システム部の少なくとも一部を作成した基板上に、前記データセル部を積層して作成したことを特徴とする請求項 2 1 に記載の情報機器。

【請求項 2 5】前記データセル部側に、前記データセルを選択する選択機構の一部を配置したことを特徴とする請求項 2 4 に記載の情報機器。

【請求項 2 6】前記データセル部を作成した基板上に、前記システム部の少なくとも一部を積層して作成したことを特徴とする請求項 2 1 に記載の情報機器。

【請求項 2 7】前記データセル部の基板側に、前記データセルを選択する選択機構の一部を配置したことを特徴とする請求項 2 6 に記載の情報機器。

【請求項 2 8】前記データセル部における配線パターン幅が、前記システム部の配線パターン幅に比して幅狭に形成されたことを特徴とする請求項 2 1 に記載の情報機器。

【請求項 2 9】前記データセル部は、複数の基準部材の位置決め工程を経て作成され、前記位置決め工程における位置決め精度が、前記データセル部における配線パターン幅に比して、粗くし得るように設定されたことを特徴とする請求項 2 1 に記載の情報機器。

【請求項 3 0】前記データセルは、抵抗値により前記データを保持することを特徴とする請求項 2 1 に記載の情報機器。

【請求項 3 1】前記データセルは、インピーダンスにより前記データを保持することを特徴とする請求項 2 1 に記載の情報機器。

【請求項 3 2】前記データセルは、印加電圧又は印加電流による抵抗値の変化により前記データを記憶することを特徴とする請求項 2 1 に記載の情報機器。

【請求項 3 3】前記データセルは、印加電圧又は印加電流によるインピーダンスの変化により前記データを記憶することを特徴とする請求項 2 1 に記載の情報機器。

【請求項 3 4】前記データセル部は、再生専用のデータセルと、少なくとも 1 回はデータの記録が可能なデータセルとを有することを特徴とする請求項 2 1 に記載の情報機器。

【請求項 3 5】前記データセル部は、所定の基準部材の形状に倣って少なくとも配線パターンが形成されて前記データセルが形成されたことを特徴とする請求項 2 1 に記載の情報機器。

【請求項 3 6】前記基準部材は、

所定の凹凸形状を有する基板であり、

前記データセル部は、

前記基準部材に少なくとも金属膜を堆積した後、前記凹凸形状に従って前記金属膜を選択的に処理することにより、前記基準部材の形状に倣って少なくとも配線パターンが形成されることを特徴とする請求項 3 5 に記載の情報機器。

【請求項 3 7】前記基準部材は、

所定の凹凸形状を有する部材であり、

前記データセル部は、

所定の基板に少なくとも金属膜を堆積した後、前記基準部材の凹凸形状を転写し、該転写した凹凸形状に従って前記金属膜を選択的に処理することにより、前記基準部材の形状に倣って少なくとも配線パターンが形成されることを特徴とする請求項 3 5 に記載の情報機器。

【請求項 3 8】前記データセル部は、

所定方向に延長する第 1 の配線パターンが、前記延長方向と略直交する方向に繰り返し形成され、

前記第 1 の配線パターンと略直交する第 2 の配線パターンが、前記第 2 の配線パターンの延長方向と略直交する方向に繰り返し形成され、

前記第 1 の配線パターン上に所定間隔で形成された接続点と、前記第 2 の配線パターンにより順次接続されて前記データセルが作成され、

前記第 2 の配線パターンの繰り返し周期が、前記接続点の繰り返し周期に比して小さくなるように設定されたことを特徴とする請求項 2 1 に記載の情報機器。

【請求項 3 9】前記データセル部は、

前記接続点の何れかが特定のデータを保持する基準のデータセルに設定されたことを特徴とする請求項 3 8 に記載の情報機器。

【請求項 4 0】前記システム部は、

前記基準のデータセルの検出結果に基づいて、前記第 2 の配線パターンを選択して前記データセルを選択することを特徴とする請求項 3 9 に記載の情報機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、メモリ及び情報機器に関し、例えばリードオンリメモリ、ランダムアクセスメモリに適用して、又はこれらのメモリを用いた装置に適用することができる。本発明は、データセルの部分をデータセルを制御するシステム部と別工程により作成することにより、簡易な工程で、大容量化することができるメモリと、このメモリを用いた情報機器を提案する。

【0 0 0 2】

【従来の技術】従来、DRAM等に代表される半導体メモリにおいては、電荷蓄積機構によるデータセルをマトリックス状に配置し、これらデータセルをシステム部に

よりアクセスすることにより、アドレスに対応した所望のデータセルに電荷を蓄積してデータを書き込み、またこのデータセルに保持した蓄積電荷を検出してデータを読み出すようになされている。

【0003】半導体メモリは、微細加工プロセスにより半導体基板上に、このようなデータセルによるデータセル部と、このデータセル部の動作を制御するシステム部とが形成されて作成されるようになされている。

【0004】

【発明が解決しようとする課題】ところでこのような半導体メモリは、ビデオテープレコーダー等に代表される磁気テープ、コンパクトディスク等に代表されるディスクメモリに比して、信頼性が高く、アクセス時間、データ転送時間が早い長所がある。

【0005】しかしながら半導体メモリは、微細加工プロセスにクリーンルーム、ステッパ等の大がかりな設備が必要になる。特に、デザインルールを変更して記憶容量を大容量化すると、これら微細加工の設備も新たに更新、建設する必要があり、その分集積率は増大するものの、ビット当たりの単価が増大する欠点があった。

【0006】本発明は以上の点を考慮してなされたもので、簡易な工程で、大容量化することができるメモリと、このメモリを用いた情報機器を提案しようとするものである。

【0007】

【課題を解決するための手段】かかる課題を解決するため本発明においては、データセル部及びシステム部を異なる製造工程により作成する。

【0008】データセル部及びシステム部を異なる製造工程により作成すれば、それぞれデータセル部及びシステム部に適した加工プロセスにより作成して、その分全体として簡易な工程で、大容量のメモリを作成することができる。

【0009】

【発明の実施の形態】以下、適宜図面を参照しながら本発明の実施の形態を詳述する。

【0010】(1) 第1の実施の形態

(1-1) 第1の実施の形態の構成

図1は、第1の実施の形態に係るランダムアクセスメモリのメモリチップを示す断面図である。この実施の形態に係るメモリは、このメモリチップ1がパッケージに収納されて形成される。このメモリチップ1は、メモリ基板2上にデータセル部3を作成して形成される。

【0011】すなわちデータセル部3は、この図1において、紙面を上下に横切る方向に延長する複数のワード線4、このワード線4と直交するように延長する複数のビット線5と、ワード線4及びビット線5の略交点において、ワード線4及びビット線5間に積層されて形成されたダイオード6及び記録層7とにより構成される。これによりデータセル部3は、ダイオード6及び記録層7

とによるデータセルがマトリクス状に配置され、これらデータセルをワード線4及びビット線5により選択できるようになされている。なおこの記録層7は、カルコゲナイド半導体でなるGeSbTeにより構成される。なお記録層7は、同様のカルコゲナイド半導体でなるTeAsSiGe、GeTeSSb又はAgInSbTe等により構成することもできる。またデータセル部3は、ワード線4間、ビット線5間、データセル間が層間絶縁層8により絶縁され、全体が保護層9により保護されるようになされている。

【0012】データセル部3は、ワード線作成工程において、メモリ基板2上にワード線4、ダイオード6、記録層7が作成された後、層間絶縁膜作成工程によりワード線4間に層間絶縁層8が作成される。さらに続くビット線作成工程によりビット線5が作成され、続く層間絶縁層作成工程によりビット線5間、データセル間に層間絶縁層8が作成された後、続いて保護層9が作成される。

【0013】図2は、メモリ基板2を示す平面図である。メモリ基板2は、半導体プロセスにより、ほぼ矩形形状の基板中央に、周辺回路によるシステム部2Aが作成され、このシステム部2Aを囲むようにビット線電極パッド2B、ワード線電極パッド2C、外部接続電極パッド領域2Dが配置されて構成される。

【0014】外部接続電極パッド領域2Dは、それぞれシステム部2Aに接続された外部接続電極パッドが作成され、各外部接続電極パッドが例えばボンディングによりパッケージの端子に接続される。ビット線電極パッド2Bは、システム部2Aとデータセル部3のビット線を接続する電極パッドであり、ワード線電極パッド2Cは、システム部2Aとデータセル部3のワード線を接続する電極パッドである。

【0015】メモリ基板2は、配線パターンのパターン幅が、データセル部3の配線パターン幅に比して幅広に形成され、これにより半導体プロセスに適用される微細加工装置、微細加工設備のうち、比較的古い設備を使用して作成できるようになされている。

【0016】図3に示すように、システム部2Aは、この外部接続電極パッドを介して入力されるアドレス信号を、データセル部3の構成に対応した行アドレス及び列アドレスとに分離して保持する行アドレスバッファ11及び列アドレスバッファ12と、それぞれ行アドレスバッファ11及び列アドレスバッファ12に保持したアドレスをデコードしてデータセル部3のワード線4及びビット線5を選択する行アドレスデコーダ13及び列アドレスデコーダ14とを有する。

【0017】またシステム部2Aは、同様に外部接続電極パッドを介して入力されるデータによりセンスアンプ15を駆動して、行アドレスデコーダ13及び列アドレスデコーダ14により選択されたデータセルにデータを

10

20

30

40

50

記録する入力回路 16 と、これとは逆にセンスアンプ 15 を駆動して、行アドレスデコーダ 13 及び列アドレスデコーダ 14 により選択されたデータセルよりデータを読み出して出力する出力回路 17 とを有する。なおこれら入力回路 16 及び出力回路 17 は、外部接続電極パッドを介して入力される記録再生制御信号によりこれらの動作を実行する。

【0018】センスアンプ 15 は、出力回路 17 の制御により論理 1 のデータを記録する場合、図 4 (A) に示すように、行アドレスデコーダ 13 及び列アドレスデコーダ 14 により選択されたメモリチップの記録層 7 において、短い時間で大きな電流が流れるように所定の電圧を印加する。これによりセンスアンプ 15 は、GeSbTe を所定温度以上に温度上昇させた後、急激に温度低下させ、記録層 7 を非晶質化する。

【0019】また、これとは逆に、出力回路 17 の制御により論理 0 のデータを記録する場合、図 4 (B) に示すように、行アドレスデコーダ 13 及び列アドレスデコーダ 14 により選択されたメモリチップの記録層 7 において、論理 1 のデータを記録する場合に比して小さな電流が長い時間流れるように所定の電圧を印加する。これにより GeSbTe を所定温度以上に温度上昇させた後、徐々に温度低下させ、記録層 7 を結晶化する。

【0020】またデータ再生時においては、図 4 (C) に示すように、所定の電圧を印加し、記録層 7 を流れる電流 I をセンスアンプ 15 にて検出し、この電流 I を 2 値判定して出力する。これにより非晶質化した状態と結晶化した状態とで異なる記録層 7 の抵抗値により所望のデータを記録し、また記録したデータを再生する。

【0021】図 5 は、ワード線作成工程の説明に供するメモリチップの断面図である。この実施の形態において、データセル部 3 は、メモリ基板 2 上の全面に、メタル層 4 A が形成される。ここでメタル層 4 A は、アルミニウム、金、銅、タングステン、チタン、ニッケル、ポリシリコン又はシリサイド等の金属薄膜であり、スパッタリング、蒸着、CVD 等の薄膜作成手法により作成される (図 5 (A))。なおメタル層 4 A は、1 種類の金属材料により作成しても良く、複数種類の金属材料により作成しても良い。

【0022】続いてデータセル部 3 は、低温 CVD プロセス等により、メタル層 4 A 上に P 型アモルファスシリコンが堆積された後、N 型アモルファスシリコンが堆積される。さらにアニール処理され、これにより多結晶シリコンによる p n シリコン層 6 A が作成される。続いてデータセル部 3 は、スパッタリング、蒸着、CVD 等の薄膜作成手法により記録膜 7 A が堆積される。

【0023】続いてデータセル部 3 は、記録膜 7 A 上に紫外線硬化樹脂 20 が塗布された後 (図 5 (B))、スタンパー 21 が押しつけられ (図 5 (C))、この状態で紫外線硬化樹脂 20 が硬化された後、スタンパー 21

が剥離される (図 5 (D))。ここでスタンパー 21 は、例えばニッケル材により厚さ 0.1~0.4 [mm] のシート状に、曲げに対して柔軟性を有するように構成され、ワード線 4 に対応するように、押圧面に凹状の溝が形成されるようになされている。これによりデータセル部 3 は、いわゆる 2 P (Photo-Polymerized) 法によりスタンパー 21 の凹凸が転写され、ワード線 4 の部分が肉厚になるように、記録膜 7 A 上に紫外線硬化樹脂による凹凸が形成される。なおこの紫外線硬化樹脂 20 に代えて、熱硬化樹脂、フォトレジスト等を適用してもよい。なおスタンパー 21 は、ガラス、プラスチック、他の金属材料により構成してもよい。かくしてスタンパー 21 は、ワード線 4 である配線パターンに対応した凹凸形状を有してなる基準部材を構成する。

【0024】このようにしてスタンパー 21 を押し付けてワード線 4 に対応する凹凸形状を作成するにつき、スタンパー 21 は、図 6 に押圧面を部分的に拡大して示すように、ワード線電極パッド 2 C と重なり合う部分においては、ワード線電極パッド 2 C の形状に対応して凸部が形成されるように、押圧面に凹部が形成される。ここでワード線電極パッド 2 C は、ワード線に比して格段的に周期が粗く、かつ大面積により構成されるようになされている。

【0025】これらによりデータセル部 3 は、紫外線硬化樹脂 20 の凸部の部分について、メタル層 4 A、p n シリコン層 6 A、記録膜 7 A が取り残されるように処理して、ワード線 4、ダイオード 6 等が構成されるようになされ、スタンパー 21 の簡易な位置合わせにより、このようにして作成されるワード線 4 がワード線電極パッド 2 C に対して正しく接続できるようになされている。なおこの図 6 においては、セル部の左右方向の長さを縮小して示した。

【0026】続いてデータセル部 3 は、このように凹凸が転写された紫外線硬化樹脂 20 の表面より一様にエッチングの処理が実行され (図 5 (D))、紫外線硬化樹脂 20 の凹部の部分について、メタル層 4 A、p n シリコン層 6 A、記録膜 7 A が取り除かれ、紫外線硬化樹脂 20 の凸部の部分については、メタル層 4 A、p n シリコン層 6 A、記録膜 7 A が取り残される (図 5 (E))。なおこのエッチングは、イオンミリング、プラズマエッチング、RIE (Reactive Ion Etching) 等のドライエッチングにより実行される。

【0027】なおこのとき必要に応じて 1 度のエッチング処理によりメタル層 4 A まで除去しても良く、また複数回のエッチング処理によりメタル層 4 A まで除去しても良い。また紫外線硬化樹脂 20、メタル層 4 A、p n シリコン層 6 A、記録膜 7 A のエッチングレートがほぼ等しく、メモリ基板 2 におけるエッチングレートが極めて低くなるようにして好適な結果を得ることができ、この場合メタル層 4 A の材料を異種材料による 2 層構造と

することにより、エッチングの選択比、安定性、制御性を向上することができる。

【0028】続いてデータセル部3は、層間絶縁層作成工程において、図7に示すように、ワード線間の層間絶縁層8が作成される。ここでこの層間絶縁層8は、基板2に垂直に、例えば SiO_2 、 Si 、 N 等を蒸着して形成される。その後、表面に記録膜7Aが露出するように、記録膜7A上に残る紫外線硬化樹脂、この紫外線硬化樹脂上に堆積した SiO_2 がエッチングにより除去される。

【0029】続いてデータセル部3は、図8(A)に示すように、ビット線作成工程において、フォトリソグラフィによりビット線電極パッド2B上の層間絶縁層8が除去された後、ワード線4と同様にしてビット線5が作成される。またこのときビット線方向について、連続するpnシリコン層6A、記録膜7Aが分離され、これによりいわゆるセルフアライメントによりダイオード6、記録層7によるデータセルが作成される。

【0030】すなわちデータセル部3は、図8(B)に示すように、メタル層5Aが作成された後、紫外線硬化樹脂24が塗布される。続いて図8(C)に示すように、スタンプ25が押圧されて紫外線硬化樹脂24が硬化された後、スタンプ25が剥離され、これによりビット線5の部分が凸形状になるように、スタンプ25の凹凸形状が転写される。このときスタンプ25は、ワード線4の場合と同様に、ビット線電極パッド2Bが、ビット線5に比して格段的に周期が粗く、かつ大面積により構成されるようになされ、これにより簡易な位置合わせによりワード線5を作成できるようになされている。

【0031】データセル部3は、続いて図8(D)に示すように、このようにスタンプ25の凹凸が転写された紫外線硬化樹脂24の表面より一様にエッチングの処理が実行され、紫外線硬化樹脂24の凹部の部分について、メタル層5Aが取り除かれ、紫外線硬化樹脂24の凸部の部分については、メタル層5Aが取り残され、これによりビット線5が作成される(図8(E))。また紫外線硬化樹脂24の凹部の部分については、メタル層5Aと共に、このメタル層5Aの下層でなる記録膜7A、pnシリコン層6Aが取り除かれ、これによりダイ

オード6、記録層7によるデータセルが作成される。

【0032】このようにしてビット線5が作成されるとデータセル部3は、ワード線4の場合と同様にして層間絶縁層8が作成され、これによりビット線5間、ワード線4の延長方向に連続するデータセル間が絶縁された後、全体に保護膜が作成される。かくしてこのようにしてデータセル部3が作成されると、メモリチップ1が検査工程を経た後、パッケージングされる。

【0033】なおメモリチップ1は、半導体ウエハ上に連続して形成された複数のメモリ基板2上において、こ

れら一連の処理が実行された後、チップ毎にスクライビング処理され、その後パッケージングされる。

【0034】(1-2)第1の実施の形態の動作

以上の構成において、このメモリチップ1は、半導体ウエハ上にてフォトリソグラフ等の手法によりシステム部2A、電極パッド2B、2C等が形成され(図2)、これにより1枚の半導体ウエハ上に複数のメモリ基板2が作成される。さらに各メモリ基板2上に、それぞれ対応するデータセル部3が形成された後(図1)、所定の工程を経てスクライビング処理された後、パッケージングされる。なお上述の半導体ウエハの代わりに、TFE等でシステム部が構成されたガラス、或いはプラスチック基板を用いることも可能である。

【0035】これにより各メモリチップ1は、データセル部3とほぼ同一の面積にシステム部を割り当てて作成することが可能となる。すなわち従来のメモリチップにおいては、半導体基板上に2次元的にデータセル部及びシステム部を配置し、これらのうちデータセル部がメモリチップの殆どの面積を占めるのに対し、この実施の形態では、データセル部3とほぼ同一の面積でシステム部を構成することができる。

【0036】これによりシステム部2Aを作成する際の、パターンレイアウトのルールを極めて緩やかなルールに設定でき、その分の簡易な工程により、また簡易な設備によりメモリチップ1を作成することができる。すなわちメモリ基板2の配線パターン幅を、データセル部3の配線パターン幅に比して幅広に形成し、これにより半導体プロセスに適用される微細加工装置、微細加工設備のうち、比較的古い設備を使用してシステム部2Aを作成できる。

【0037】またメモリ基板2上にデータセル部を構成することにより、データセル部3をメモリ基板2と全く異なる専用の工程により作成することができ、その分それぞれシステム部2A及びデータセル部3に適した工程により作成して、簡易な工程により、また簡易な設備によりメモリチップ1を作成することができる。

【0038】すなわちメモリチップ1は、メモリ基板2上に、メタル層4A、pnシリコン層6A、記録膜7Aが順次作成された後、紫外線硬化樹脂20が塗布され、この紫外線硬化樹脂20にスタンプ21が押圧されてワード線形状の凹凸が形成される(図5)。さらにこの凹凸形状を利用した一様なエッチングにより凹凸形状に倣ってメタル層4A、pnシリコン層6A、記録膜7Aが除去され、これによりワード線4と、このワード線4上に堆積したpnシリコン層6A、記録膜7Aが形成される。

【0039】また層間絶縁層8によりワード線4間が絶縁された後、メタル層5Aが形成される。さらに紫外線硬化樹脂24及びスタンプ25を用いた転写によりビット線形状の凹凸が形成され、この凹凸形状を利用した一

様なエッチングにより凹凸形状に倣ってメタル層 5 A、
p n シリコン層 6 A、記録膜 7 A が除去され、これによりビット線 5 が作成される。また同時にワード線 4 及びビット線 5 間に積層するダイオード 6、記録層 7 によるデータセルがいわゆるセルフアライメントにより作成される。

【0040】これらの処理において、メモリ基板 2 においては、ワード線及びビット線の電極パッド 2 C 及び 2 B が、それぞれワード線 4 及びビット線 5 に比して格段的に周期が粗く、かつ大面積により構成され（図 6）、これによりスタンパー 2 1、2 4 を押し付ける際の位置決め精度を低減して、確実にワード線 4 及びビット線 5 を各電極パッド 2 C 及び 2 B に接続することができる。従ってその分簡易な工程によりデータセル部 3 を作成することができる。

【0041】またデータセル部 3 自体、薄膜作成技術と、凹凸形状の転写、エッチング処理により作成できることにより、またメモリ基板 2 上に従来に比して大面積により作成できることにより、その分簡易な工程、設備により作成することができる。

【0042】かくしてこのようにして作成されたメモリチップ 1 は、システム部により、データを記録する場合には、アドレスに応じたデータセルが選択され、論理レベルに応じた加熱冷却のプロセスにより（図 4）、各データセルを構成する記録層 7 が結晶構造を変化させ、またデータを読み出す場合には、この結晶構造により変化する抵抗値が印加電圧による電流値により検出され、これにより所望のデータが記録され、また再生される。

【0043】かくするにつき、このような記録層 7 の結晶構造の変化に伴う抵抗値変化により所望のデータを記録する場合、従来の DRAM における電荷蓄積機構のような、いわゆるリフレッシュの動作を省略でき、その分簡易な構成によりメモリチップを構成することができる。

【0044】（1-3）第 1 の実施の形態の効果
以上の構成によれば、システム部 2 A を作成したメモリ基板 2 上に、データセル部 3 を構成したことにより、メモリ基板 2 上及びデータセル部 3 において、それぞれ従来に比して緩やかなデザインルールによりシステム部、データセルを作成することができ、その分簡易な工程により大容量のメモリを作成することができる。

【0045】またデータセル部をメモリ基板 2 と異なるプロセスにより作成することにより、簡易な工程によりデータセル部を作成することができ、これによっても簡易な工程により大容量のメモリを作成することができる。

【0046】具体的に、記録層 7 の結晶構造の変化に伴う抵抗値変化により所望のデータを記録するように、データセルの構造を選定でき、その分簡易な工程によりメモリを作成でき、また簡易な構成によりメモリを作成す

ることができる。さらに電荷蓄積機構による従来の半導体メモリに比してデータセルの構造を簡略化することができ、その分簡易な構成による大容量のメモリを作成することができる。

【0047】またワード線及びビット線の電極パッドを、それぞれワード線及びビット線に比して格段的に周期が粗く、かつ大面積により構成することにより、位置合わせの作業を簡略化することができる。

【0048】（2）第 2 の実施の形態

10 この実施の形態においては、本発明をリードオンリメモリに適用する。図 9 は、このリードオンリメモリのメモリチップを示す断面図である。このメモリチップ 3 0 は、メモリ基板 3 1 上にデータセル部 3 2 を作成して形成される。

【0049】ここでメモリ基板 3 1 は、このメモリ基板 3 1 に作成されるシステム部において、入力回路 1 6 が省略されている点、記録再生制御信号に代えて再生制御信号が入力される点を除いて、図 2 及び図 3 について上述したメモリ基板 2 と同一に構成される。

20 【0050】データセル部 3 2 は、図 1 について説明したデータセル部 3 と同様に、ワード線 4 及びビット線 5 が作成され、ワード線 4 及びビット線 5 の交点にデータセルが作成される。各データセルは、各データセルに割り当てられた論理レベルに応じて異なる構造により構成され、例えば論理 0 が割り当てられたデータセルにおいては、ワード線 4 及びビット線 5 間にダイオード 6 が配置されるのに対し、論理 1 が割り当てられたデータセルにおいては、ワード線 4 及びビット線 5 間に層間絶縁層 8 が配置される。これによりデータセルは、抵抗によりデータを保持し、所定の電圧を印加して流れる電流により保持したデータを検出できるようになされている。

30 【0051】図 10 は、このデータセル部 3 2 におけるワード線 4 の作成工程を示す断面図である。データセル部 3 2 は、第 1 の実施の形態と同様に、メモリ基板 3 1 上の全面に、メタル層 4 A が形成される（図 10

（A））。続いてデータセル部 3 2 は、同様に、p n シリコン層 6 A が作成される。

40 【0052】続いてデータセル部 3 2 は、p n シリコン層 6 A 上に紫外線硬化樹脂 2 0 が塗布された後（図 10 （B））、スタンパー 3 4 が押しつけられ（図 10 （C））、この状態で紫外線硬化樹脂 2 0 が硬化された後、スタンパー 3 4 が剥離される（図 10 （D））。ここでこの実施の形態においてスタンパー 3 4 は、論理 0 が割り当てられたデータセルにおいては、ワード線 4、

p n シリコン層 6 A の厚さに対応した凹形状により形成されるのに対し、論理 1 が割り当てられたデータセル、ワード線 4 の延長方向のデータセル間においては、ワード線 4 の厚さに対応した凹形状により形成される。これによりデータセル部 3 2 は、いわゆる 2 P 法によりスタンパー 3 4 の凹凸が転写され、p n シリコン層 6 A 上に

紫外線硬化樹脂による凹凸が形成される。

【0053】このようにしてスタンパー21を押し付けて凹凸形状を作成するにつき、スタンパー21は、図6について上述したように、ワード線電極パッド2Cと重なり合う部分においては、ワード線電極パッド2Cの形状に対応して凸部が形成されるように押圧面に凹部が形成され、これにより簡易な位置決めによりワード線4をメモリ基板31の電極パッドに接続できるようになされている。

【0054】続いてデータセル部32は、このように凹凸が転写された紫外線硬化樹脂20の表面より一様にエッチングの処理が実行され(図10(D))、紫外線硬化樹脂20の最も深い凹部の部分について、メタル層4A、pnシリコン層6Aが取り除かれ、これにより連続するワード線4間のスペースが形成される。また、続く深さの凹部の部分については、pnシリコン層6Aが取り除かれ、紫外線硬化樹脂20の凸部の部分については、メタル層4A、pnシリコン層6Aが取り残される(図10(E))。

【0055】これにより連続するワード線4が形成され、このワード線4上に、論理0が割り当てられたデータセルにおいてはダイオード6が配置され、論理1が割り当てられたデータセルにおいては、ワード線4が露出するように形成される。

【0056】続いてデータセル部32は、 SiO_2 、 Si 、 N 等による絶縁膜が形成され、これによりワード線4間の絶縁が確保される。続いて図11に示すように、例えば紫外線硬化樹脂36等である液状の樹脂が塗布された後(図11(A)及び(B))、この樹脂の表面が平坦になるように硬化される。続いて例えば酸素プラズマエッチング等の、メタル層4A、pnシリコン層6Aに影響を与えないエッチング手法により、紫外線硬化樹脂36がエッチングされ(図11(C))、最もメモリ基板31より突出するダイオード6の表面が暴露される。

【0057】これによりこの実施の形態においては、この紫外線硬化樹脂36により層間絶縁層8が形成される。また論理1が割り当てられたデータセルにおいては、ワード線4上に、紫外線硬化樹脂36による層間絶縁層8が形成される。これらによりこのメモリチップ30は、第1の実施の形態と同様にしてビット線5が作成*
PW>PB

【0064】さらにスタンパーは、データセルの繰り返しピッチPW、データセルの幅W、ビット線5の繰り返しピッチPB、ビット線5の幅Bの関係が次式に示すように設定され、これにより隣接するワード線において、※
PB+B>PW-W

【0066】またスタンパーは、データセルの繰り返しピッチPW、データセルの幅W、ビット線5の幅Bの関係が次式に示すように設定され、1つのデータセルに対

*され、論理0のデータセルにおいて抵抗値がほぼ0

【Ω】になるように、また論理1のデータセルにおいては抵抗値がほぼ無限大になるように形成される。このときメモリチップ30は、この暴露されたダイオード6の表面に正しくビット線5が形成されるように、続くビット線作成工程において、スタンパーが位置決めされる。

【0058】図9に示す構成によれば、リードオンリメモリに適用して第1の実施の形態と同様の効果を得ることができる。

【0059】(3)第3の実施の形態

ところで第2の実施の形態のように、ワード線4を作成する際に、同時に各データセルの論理レベルに応じて各データセルを作成し、その後ビット線5を作成する場合、ビット線5の位置合わせに高い精度が必要になる。このためこの実施の形態においては、簡易な位置決め精度によりビット線5を作成できるようにする。

【0060】すなわち図12に示すように、ビット線5の延長方向に露出するデータセルの幅をW、この延長方向へのデータセルの繰り返しピッチをPWとする。なおこの図12において、ダイオードが露出してなるデータセルをハッチングにより示す。また図13に示すように、ビット線5の線幅をB、繰り返しピッチPBとする。この場合繰り返しピッチをPW及びPBを等しいとすると、ビット線5の線幅a以下のアライメント精度が必要となり、簡易な設備、工程によっては、図14に示すように、各データセルにビット線を正しく接続できなくなる。

【0061】このためこの実施の形態において、ビット線形状を転写するスタンパーは、ビット線を形成する領域がデータセルの領域を囲む大きな領域になるように、表面に凹凸形状が形成され、これにより電極パッドを基準にした粗い位置決め精度によりスタンパーを押し付けても、データセルが配置された領域においては、確実にビット線の凹凸形状を形成できるようにする。

【0062】さらにスタンパーは、図15に示すデータセルの繰り返しピッチPWとビット線の繰り返しピッチPBとの関係が次式に示すように設定され、これにより繰り返しピッチPWよりビット線の繰り返しピッチPBが小さくなるように設定される。

【0063】

【数1】

……(1)

※これらワード線間に配置されたデータセルに対して何れかのワード線が必ず重なり合うようにする。

【0065】

【数2】

……(2)

して隣接するワード線が共に重なり合うようにする。

【0067】

【数3】

【0068】これらによりこの実施の形態に係るメモリチップは、電極パッドを基準にした粗い位置決め精度によりスタンプを押付けて、各データセルにそれぞれビット線を確実に接続できるようになされている。

【0069】このように形成されるビット線に対して、ワード線を形成するスタンプは、特定箇所のデータセルに基準データを記録するように、表面の凹凸形状が形成される。ちなみにこの基準データは、所定のワード線上に、例えば特定のパターンの論理レベルが連続してなるデータセルを形成することにより記録される。

【0070】このメモリチップは、工場出荷時の検査工程において、各データセルの論理レベルを検査し、この検査結果に基づいて行アドレスデコード13にオフセット値を与えられ、これによりこの基準データを基準にして相対的なビット線の変位が補正される。

【0071】第3の実施の形態によれば、ワード線形成時に同時にデータセルを作成してリードオンリメモリを作成する場合でも、簡易な位置決めによりリードオンリメモリを作成することができる。

【0072】(4) 第4の実施の形態

図16は、第4の実施の形態に係るメモリチップを示す断面図である。このメモリチップ40は、メモリ基板2にデータセル基板42を積層して作成される。

【0073】ここでデータセル基板42は、シリコン、ガラス、プラスチック等の平坦な板状部材上に、上述の第1～第2の実施の形態について説明したと同様にして、ワード線4、データセル、ビット線5を形成して作成される。またデータセル基板42は、マイクロ半田ボール、異方性導電材料、マイクロバンプボンディング等の表面実装手法によりメモリ基板2と接続される。

【0074】メモリ基板2にデータセル基板42を積層してメモリチップを作成するようにしても、第1及び第2の実施の形態と同様の効果を得ることができる。

【0075】(5) 第5の実施の形態

この実施の形態においては、図17に示すデータセル基板43にワード線、データセル、ビット線を形成した後、図16について説明したように、メモリ基板2と積層してランダムアクセスメモリによるメモリチップを作成する。

【0076】すなわちデータセル基板43は、いわゆる2P法より、又はエッチングによりシリコン、ガラス、プラスチック等の平坦な板状部材上に凹凸の溝を形成して作成される。なおデータセル基板43は、射出成形によっても作成することができる。この凹凸の溝は、凸部がワード線に対応するように形成される。

【0077】データセル基板43は、図18及び図19に断面を取って示すように、斜め上方方向からの蒸着によりメタル層4Aが作成された後、pnシリコン層6A、記録膜7Aが順次形成される。このとき斜め上方

向からの蒸着によることから、データセル基板43は、凸部の影の部分には殆ど蒸着材料が堆積せず、これによりこの凸部の上面とこの凸部の1の側面についてだけ、これらメタル層4A、pnシリコン層6A、記録膜7Aが形成される。その後データセル基板43は、例えばウェットエッチング等の等方的なエッチングにより、凸部の影の部分に付着した蒸着材料が完全に除去される。

【0078】これによりデータセル基板43は、ワード線4と、このワード線4上に堆積するpnシリコン層6A、記録膜7Aが形成され、図7について上述した層間絶縁層8の作成工程、図8について上述したビット線、データセル作成工程を経て、メモリ基板2と一体化される。

【0079】この実施の形態によれば、基板に形成された凹凸形状に倣ってワード線を形成するようにしても、上述の実施の形態と同様の効果を得ることができる。

【0080】(6) 第6の実施の形態

図20は、第6の実施の形態に係るワード線作成工程の説明に供する断面図である。この実施の形態においては、図17について説明したデータセル基板43を用いて、この図20に示す工程によりワード線4、pnシリコン層6A、記録膜7Aを作成する。

【0081】すなわちデータセル基板43は、上方方向からの蒸着によりメタル層4Aが作成された後、pnシリコン層6A、記録膜7Aが順次形成される(図20(A))。その後データセル基板43は、紫外線硬化樹脂、フォトレジスト等の液状樹脂が塗布されて硬化されることにより表面が平坦化される(図20(B))。さらにデータセル基板43は、膜厚方向に、エッチングの処理が実行される。これによりデータセル基板43は、凹部にメタル層4A、pnシリコン層6A、記録膜7Aが取り残され(図20(C))、ワード線4と、このワード線4上に、pnシリコン層6A、記録膜7Aが形成される。

【0082】データセル基板43は、その後第5の実施の形態と同様に、図7について上述した層間絶縁層8の作成工程、図8について上述したビット線、データセル作成工程を経て、メモリ基板2と一体化される。

【0083】この実施の形態によれば、データセル基板43の凹部にワード線を形成しても、第5の実施の形態と同様の効果を得ることができる。

【0084】(7) 第7の実施の形態

この実施の形態においては、図21に示すデータセル基板47にワード線、データセル、ビット線を形成した後、図16について説明したように、メモリ基板2を積層してランダムアクセスメモリによるメモリチップを作成する。

【0085】すなわちデータセル基板47は、いわゆる2P法より、又はエッチングによりシリコン、ガラス、

10

20

30

40

50

プラスチック等の平坦な板状部材上に凹凸形状を形成して作成される。なおデータセル基板 4 7 は、射出成形によっても作成することができる。

【0086】データセル基板 4 7 は、ワード線 4 の繰返しに対応するように、一方向に凹凸が形成され、さらにこの方向と直交する方向のビット線の繰返しに対応するように、凹凸が形成される。すなわちワード線及びビット線が共に配置されない部分では、最も深さが深くなるように凹部が形成される。またワード線及びビット線が重なり合う部分は、最も深さが浅くなるように凸部が形成され、残るワード線又はビット線だけが配置される部分では、これら凹部及び凸部の中間の深さにより形成される。

【0087】データセル基板 4 7 は、図 2 2 に示すように、斜め上方方向で、かつワード線の延長方向より直交する方向からの蒸着によりメタル層 4 A が作成された後、p n シリコン層 6 A、記録膜 7 A が順次形成される。

【0088】なおこの図 2 2 においては、メタル層、p n シリコン層、記録膜の付着をハッチングにより示す。この場合、蒸着材料は、影の部分に加えて、凹部のコーナー、凸部の側面奥側のコーナー近傍においては付着量が極めて少なくなる。データセル基板 4 7 は、例えばウェットエッチング等の等方的なエッチングにより、これら凸部の影の部分等に付着した蒸着材料が完全に除去される。これによりデータセル基板 4 7 は、ワード線 4 が形成され、またこのワード線 4 上に、p n シリコン層、記録膜が形成される。

【0089】続いて図 2 3 に示すように、データセル基板 4 7 は、このワード線 4 作成時とは直交する方向で、かつ基板の斜め上方からの蒸着によりメタル材料が付着される。この場合も、蒸着材料は、影の部分に加えて、凹部のコーナー、凸部の側面奥側のコーナー近傍においては付着量が極めて少なくなる。

【0090】これにより図 2 4 に示すように、データセル基板 4 7 は、ワード線 4 及びビット線 5 が形成され、このワード線 4 及びビット線 5 が重なり合う凸部に p n シリコン層によるダイオード 6、記録膜による記録層 7 が形成される。

【0091】データセル基板 4 7 は、その後凸部の影の部分等に付着した蒸着材料が完全に除去された後、第 5 の実施の形態と同様に、図 7 について上述した層間絶縁層 8 の作成工程、図 8 について上述したビット線、データセル作成工程を経て、メモリ基板 2 と一体化される。

【0092】この実施の形態によれば、データセル基板 4 3 に 2 次元的な凹凸を形成し、この凹凸に倣ってデータ線、ワード線を形成しても、第 5 の実施の形態と同様の効果を得ることができる。

【0093】(8) 第 8 の実施の形態

図 2 5 は、図 2 1 との対比により本発明の第 8 の実施の

形態に係るデータセル基板を拡大して示す斜視図である。この実施の形態においては、このデータセル基板 4 8 を用いてリードオンリメモリを作成する。

【0094】すなわちデータセル基板 4 8 は、第 7 の実施の形態と同様に、ワード線及びビット線に対応して凹凸形状が形成される。このときデータセル基板 4 8 は、データセルの部分になる凸部が、論理 1 のデータセルに比して論理 0 のデータセルが突出するように形成される。データセル基板 4 8 は、このように論理レベルに応じて凸部の高さが異なるように形成されて、第 7 の実施の形態と同様にして、メタル層及び p n シリコン層が作成される。

【0095】すなわち図 2 6 に示すように、データセル基板 4 8 は、斜め上方方向で、かつワード線の延長方向より直交する方向からの蒸着によりメタル層 4 A が作成された後、p n シリコン層 6 A が形成される。このとき斜め上方方向からの蒸着によることから、データセル基板 4 8 は、凸部の影の部分に殆ど蒸着材料が堆積しない部分が作成される。また蒸着材料は、影の部分に加えて、凹部のコーナー近傍、凸部の側面奥側のコーナー近傍においては付着量が極めて少なくなる。

【0096】特に、蒸着の条件を選定することにより、論理 0 を割り当てた突出量の大きな凸部のビット線側側面においては、蒸着材料が大きな面積により付着するのに対し、論理 0 を割り当てた突出量の大きな凸部のビット線側側面においては、蒸着材料が小さな面積により付着するようになる。データセル基板 4 8 は、例えばウェットエッチング等の等方的なエッチングにより、これら凸部の影の部分等に付着した蒸着材料が完全に除去される。これによりデータセル基板 4 8 は、ワード線 4 が形成され、またこのワード線 4 上に、p n シリコン層が形成される。

【0097】続いてデータセル基板 4 8 は、図 2 7 に示すように、基板面より垂直な上方から、蒸着等により絶縁膜材料を堆積し、絶縁層 4 9 を作成する。このとき A - A 線により断面を取って図 2 8 (A) に示すように、データセル基板 4 8 は、論理 0 を割り当てた突出量の大きな凸部のビット線側側面においては、メタル層、p n シリコン層が部分的に露出するように、絶縁膜材料が堆積する。また B - B 線により断面を取って図 2 8 (B) に示すように、他の部分においては、表面が絶縁層 4 9 により完全に覆われるように絶縁膜材料が堆積する。

【0098】続いてデータセル基板 4 8 は、図 2 3 について説明したと同様にして、斜め方向からの蒸着によりワード線が作成され、これにより論理 0 を割り当てた突出量の大きな凸部においては、p n シリコン層によるダイオードを間に挟んでワード線とビット線とが導通状態に保持され、論理 1 を割り当てた突出量の小さな凸部においては、絶縁層 4 9 によりワード線とビット線とが非導通状態に保持され、それぞれ論理レベルを設定してな

るデータセルが作成される。

【0099】データセル基板48は、その後凸部の影の部分等に付着した蒸着材料が完全に除去された後、メモリ基板2と一体化される。

【0100】この実施の形態によれば、データセル基板43に論理レベルに対応した高さにより2次元的な凹凸形状を形成し、この凹凸に倣ってデータ線、ワード線を形成しても、第5の実施の形態と同様の効果を得ることができる。

【0101】(9) 他の実施の形態

なお上述の第3の実施の形態においては、ビット線の設定によりアライメント誤差を補正する場合について述べたが、本発明はこれに限らず、例えば誤り訂正回路により補正するようにしてもよい。

【0102】また上述の第5～第8の実施の形態においては、メモリ基板と別体にデータセル基板を構成する場合について述べたが、本発明はこれに限らず、例えば2P法によりメモリ基板上に凹凸形状を形成することにより、メモリ基板上にデータセル部を作成するようにしてもよい。

【0103】また上述の第1～第4の実施の形態においては、メモリ基板上にデータセル部を構成する場合について述べたが、本発明はこれに限らず、これとは逆に、データセル基板上にメモリ基板を構成してもよい。なおこの場合、システム部は、TFET等を用いた回路により構成される。

【0104】また上述の実施の形態においては、ワード線形成時、又はビット線形成時、併せてデータセルを作成する場合について述べたが、本発明はこれに限らず、ワード線形成時又はビット線形成時とは別に、別途、データセル作成工程を設け、これによりデータセルを作成してもよい。

【0105】また上述の実施の形態においては、データセル基板にデータセル、ワード線、ビット線を配置する場合について述べたが、本発明はこれに限らず、例えばこれらワード線及び又はデータ線を選択する選択機構の一部をデータセル基板に配置してもよい。このようにすれば、その分データセル基板とメモリ基板との接続を簡略化することができる。

【0106】またこれに加えて、又は代えて、各データセルを駆動するTFETトランジスタ等を配置してもよい。

【0107】さらに上述の実施の形態においては、抵抗値により所望のデータをデータセルに保持する場合について述べたが、本発明はこれに限らず、例えば強誘電体膜により記録層を構成することにより、いわゆるFeRAM構造によりメモリチップを構成してもよい。

【0108】また上述の実施の形態においては、スタンパーによる凹凸形状に倣って、又はデータセル基板の凹凸形状に倣って、データセル部を構成する場合について

述べたが、本発明はこれに限らず、例えばマスクを用いたフォトリソグラフィによりデータセル部を構成する場合にも広く適用することができる。

【0109】また上述の実施の形態においては、各データセルにpn接合ダイオードを配置する場合について述べたが、本発明はこれに限らず、必要に応じてショットキーダイオードを配置しても良く、またダイオードを省略してもよい。

【0110】さらに上述の実施の形態においては、所定の電圧を印加して流れる電流により各データセルに記録したデータを再生する場合について述べたが、本発明はこれに限らず、所望の電流を流して発生する電圧等の検出により、各データセルに記録したデータを再生してもよい。

【0111】さらに上述の実施の形態においては、リードオンリメモリ、ランダムアクセスメモリに本発明を適用する場合について述べたが、本発明はこれに限らず、例えば非可逆的に組成変化する材料を記録膜に適用して、1回だけ記録可能なプログラムメモリを作成することもできる。またこれらリードオンリメモリ、ランダムアクセスメモリ、プログラムメモリを混在させたメモリにも適用することができる。

【0112】

【発明の効果】上述のように本発明によれば、データセル部を、このデータセル部を制御するシステム部と別工程により作成することにより、簡易な工程で、大容量化することができるメモリと、このメモリを用いた情報機器を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係るメモリチップを示す断面図である。

【図2】図1のメモリ基板を示す平面図である。

【図3】図2のメモリ基板に配置されるシステム部を示すブロック図である。

【図4】図3のセンスアンプの動作の説明に供する信号波形図である。

【図5】図1のデータセル部のワード線作成の説明に供する断面図である。

【図6】ワード線をメモリ基板に接続する電極の説明に供する平面図である。

【図7】層間絶縁層の作成工程の説明に供する断面図である。

【図8】図1のデータセル部のビット線作成の説明に供する断面図である。

【図9】本発明の第2の実施の形態に係るメモリチップを示す断面図である。

【図10】図9のデータセル部のワード線作成の説明に供する断面図である。

【図11】図10に続く工程の説明に供する断面図である。

【図 1 2】本発明の第 3 の実施の形態に係るメモリチップの説明に供する平面図である。

【図 1 3】図 1 2 との対比により示すビット線を示す平面図である。

【図 1 4】ワード線及びビット線の重なり合いの説明に供する平面図である。

【図 1 5】ワード線及びビット線の重なり合いの説明に供する平面図である。

【図 1 6】本発明の第 4 の実施の形態に係るメモリチップの説明に供する断面図である。

【図 1 7】本発明の第 5 の実施の形態に係るメモリチップに適用されるデータセル基板を示す斜視図である。

【図 1 8】ワード線作成時における蒸着の説明に供する断面図である。

【図 1 9】図 1 8 の蒸着により作成されたワード線を示す平面図及び断面図である。

【図 2 0】本発明の第 6 の実施の形態に係るメモリチップに適用されるデータセル基板において、ワード線の作成工程を示す断面図である。

【図 2 1】本発明の第 7 の実施の形態に係るメモリチップに適用されるデータセル基板を示す斜視図である。

【図 2 2】図 2 1 のデータセル基板によりワード線の作

* 成工程を示す斜視図である。

【図 2 3】図 2 1 のデータセル基板によりビット線の作成工程を示す斜視図である。

【図 2 4】図 2 3 のデータセル基板によるワード線、ビット線、データセルの関係を示す斜視図である。

【図 2 5】本発明の第 8 の実施の形態に係るメモリチップに適用されるデータセル基板を示す斜視図である。

【図 2 6】図 2 5 のデータセル基板によりワード線の作成工程を示す斜視図である。

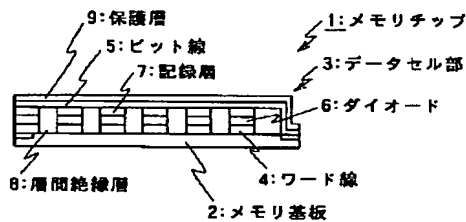
10 【図 2 7】図 2 5 のデータセル基板における絶縁層の作成工程を示す斜視図である。

【図 2 8】図 2 7 を A-A 線及び B-B 線により切り取って示す断面図である。

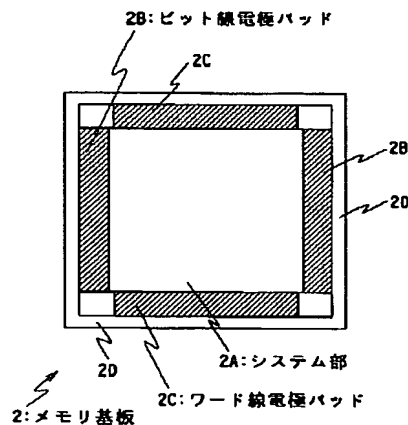
【符号の説明】

1、3 0、4 0……メモリチップ、2、3 1……メモリ基板、2 A……システム部、3、3 2……データセル部、4……ワード線、4 A、5 A……メタル層、5……ビット線、6……ダイオード、6 A……p n シリコン層、7……記録層、7 A……記録膜、8……層間絶縁層、9……保護層、2 0、2 4、4 3、3 6……紫外線硬化樹脂、2 1、2 5、3 4……スタンプ、4 2、4 3、4 7、4 8……データセル基板

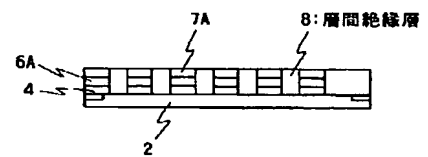
【図 1】



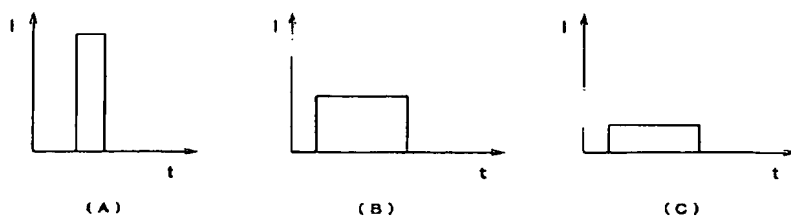
【図 2】



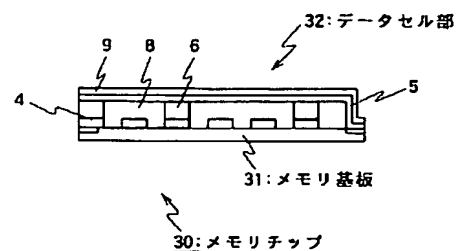
【図 7】



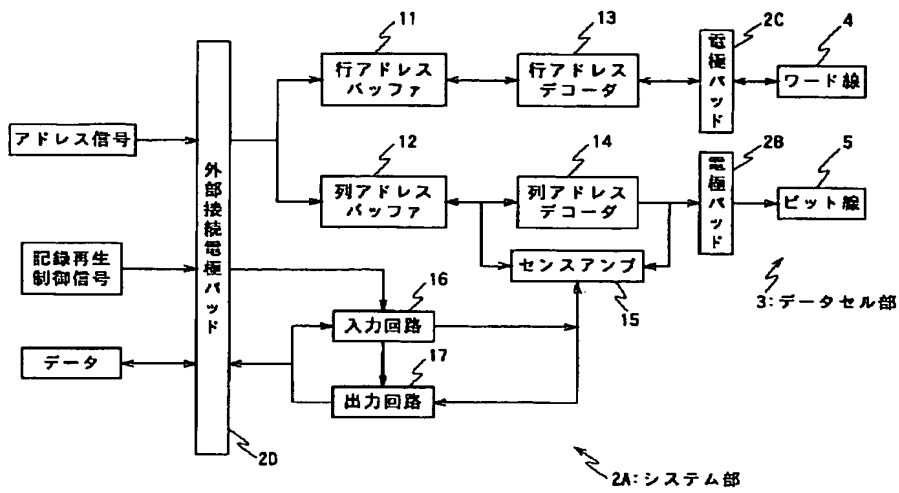
【図 4】



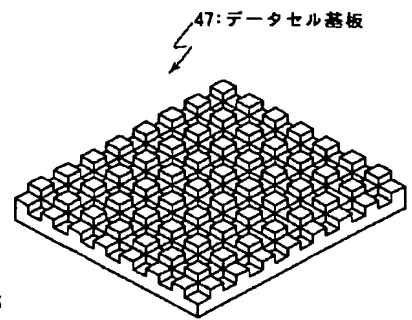
【図 9】



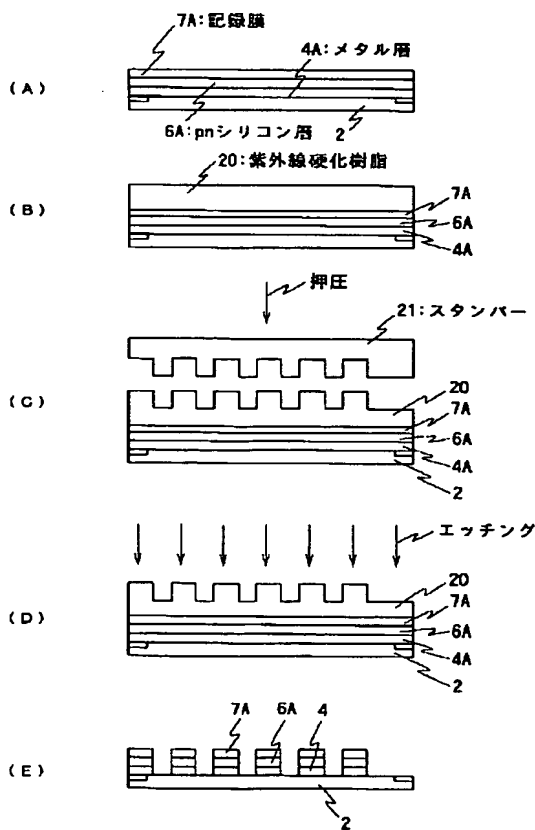
【図3】



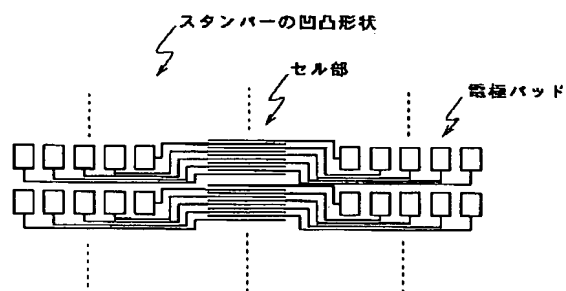
【図21】



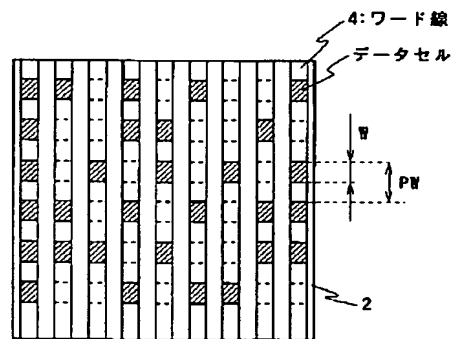
【図5】



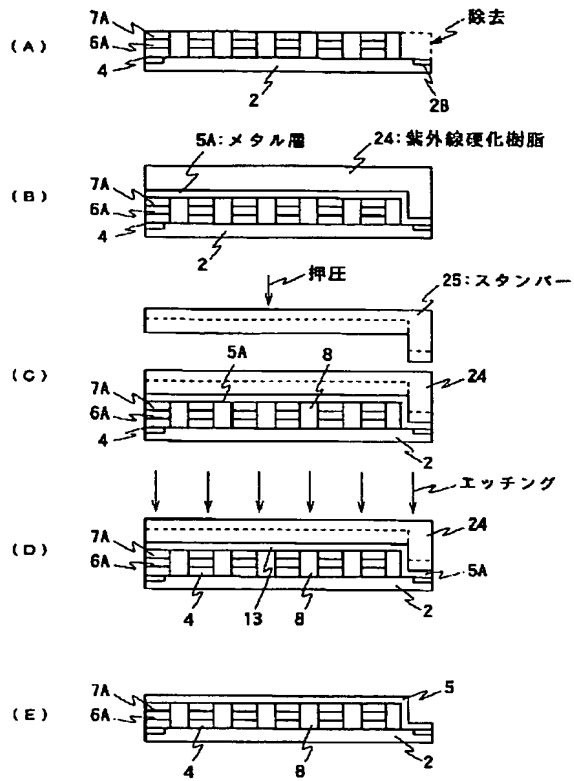
【図6】



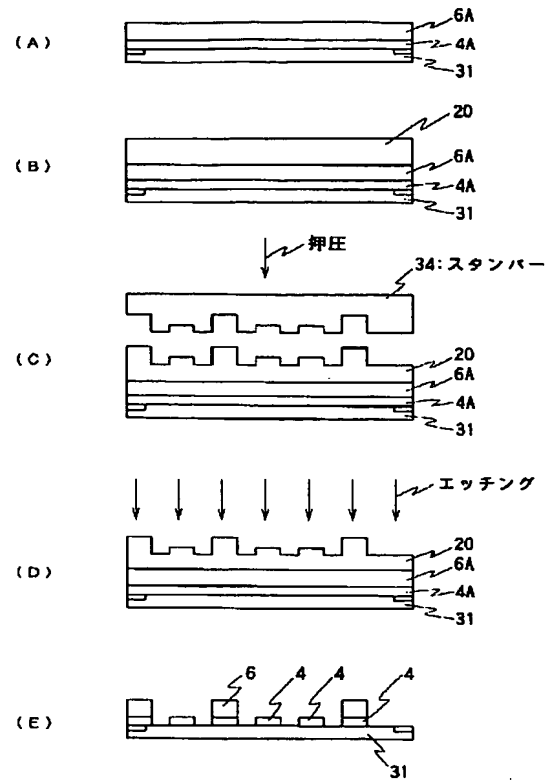
【図12】



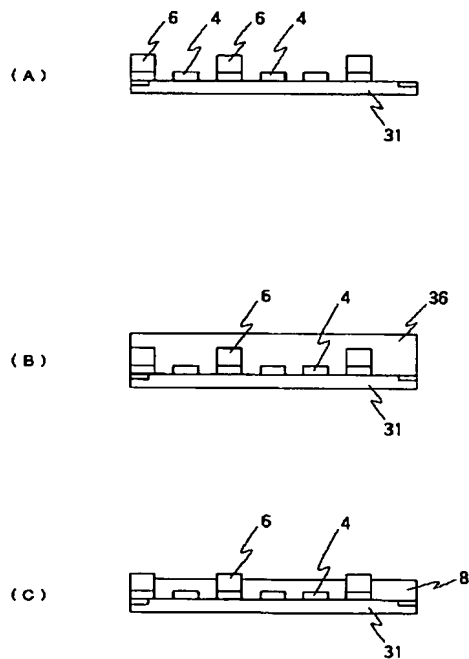
【図8】



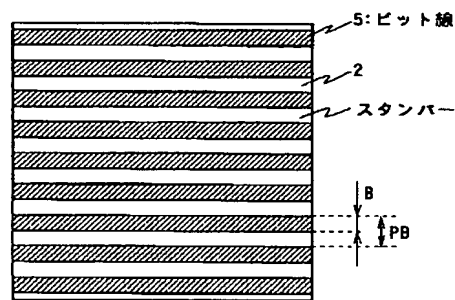
【図10】



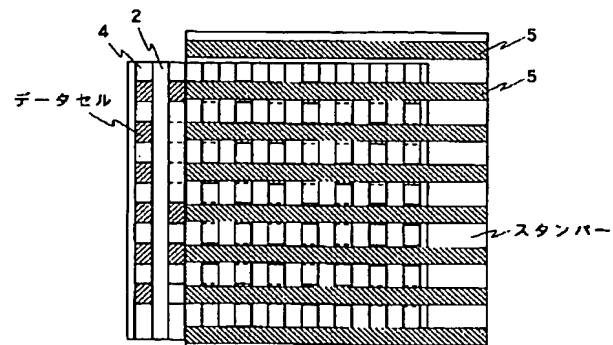
【図11】



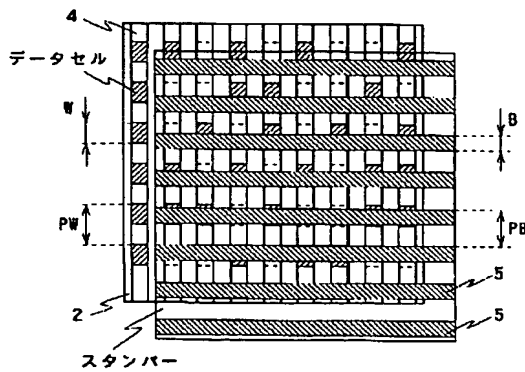
【図13】



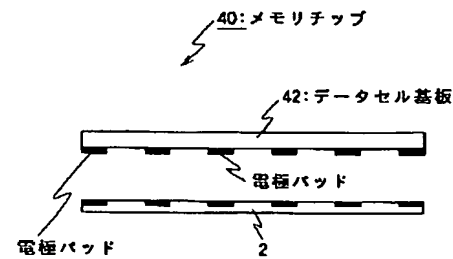
【図14】



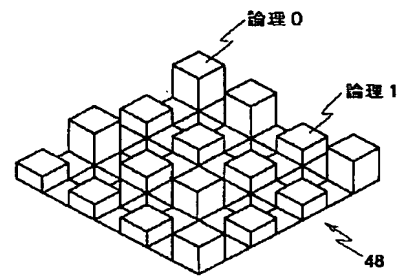
【図15】



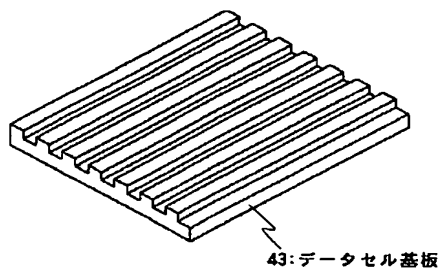
【図16】



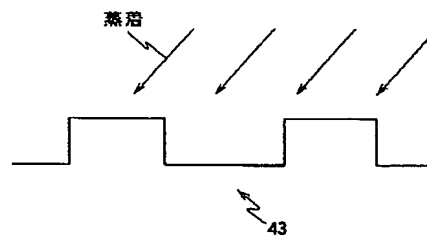
【図25】



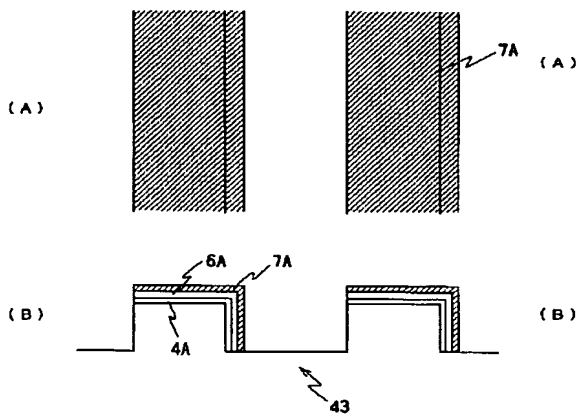
【図17】



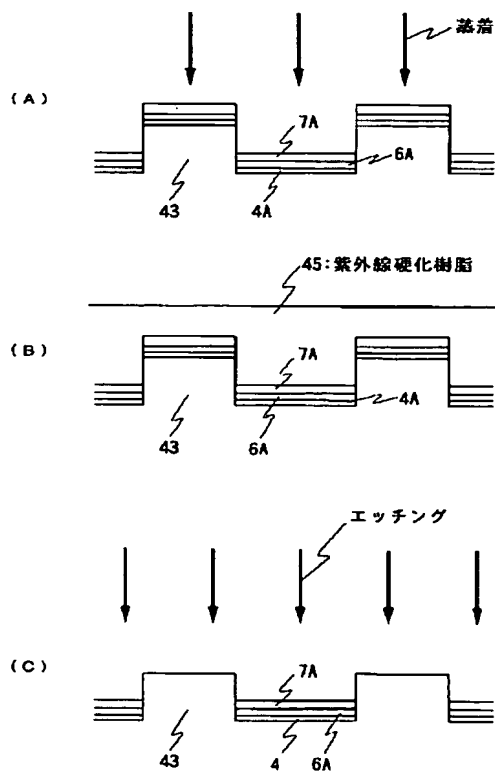
【図18】



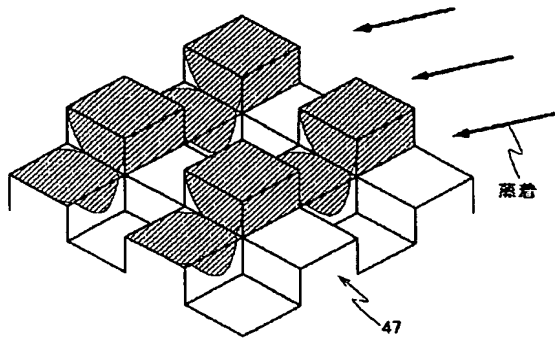
【図19】



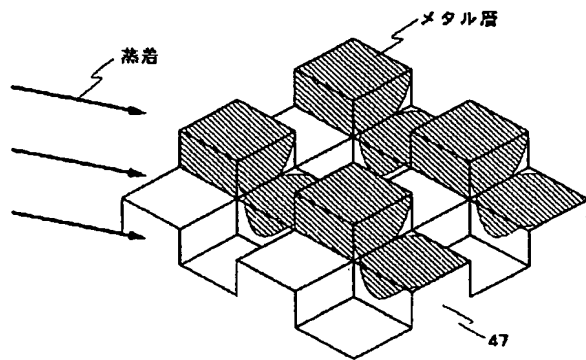
【図20】



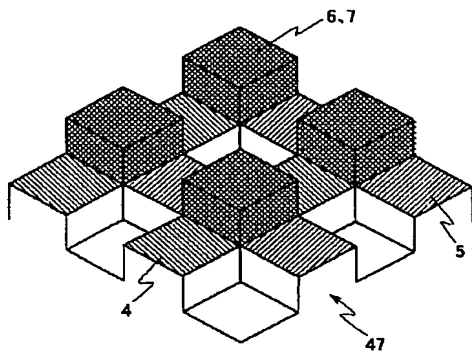
【図 2 2】



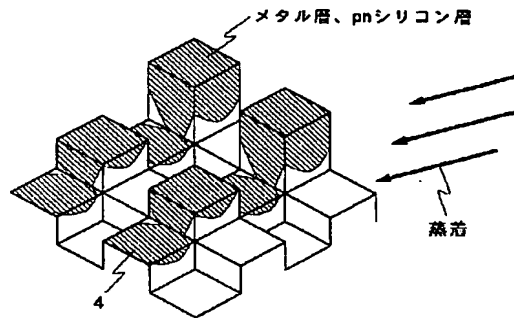
【図 2 3】



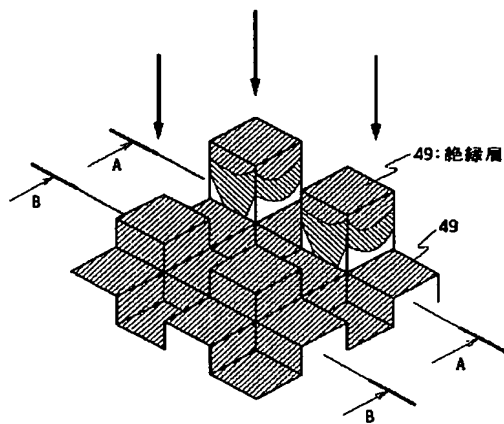
【図 2 4】



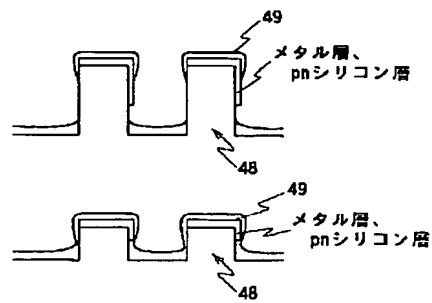
【図 2 6】



【図 2 7】



【図 2 8】



【公報種別】 特許法第 17 条の 2 の規定による補正の掲載

【部門区分】 第 7 部門第 2 区分

【発行日】 平成 17 年 7 月 21 日 (2005. 7. 21)

【公開番号】 特開平 11-204742

【公開日】 平成 11 年 7 月 30 日 (1999. 7. 30)

【出願番号】 特願平 10-8170

【国際特許分類第 7 版】

H 0 1 L 27/10

【 F I 】

H 0 1 L 27/10 4 5 1

【手続補正書】

【提出日】 平成 16 年 12 月 9 日 (2004. 12. 9)

【手続補正 1】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 1 0

【補正方法】 変更

【補正の内容】

【 0 0 1 0 】

(1) 第 1 の実施の形態

(1 - 1) 第 1 の実施の形態の構成

図 1 は、第 1 の実施の形態に係るランダムアクセスメモリのメモリチップを示す断面図である。この実施の形態に係るメモリは、このメモリチップ 1 がパッケージに収納されて形成される。このメモリチップ 1 は、あらかじめシステム部の形成されたメモリ基板 2 上にデータセル部 3 を作成して形成される。

【手続補正 2】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 1 8

【補正方法】 変更

【補正の内容】

【 0 0 1 8 】

システム部 2 A は、入力回路 1 6 の制御により論理 1 のデータを記録する場合、図 4 (A) に示すように、行アドレスデコーダ 1 3 及び列アドレスデコーダ 1 4 により選択されたメモリチップの記録層 7 において、短い時間で大きな電流が流れるように所定の電圧を印加する。これによりシステム部 2 A は、G e S b T e を所定温度以上に温度上昇させた後、急激に温度低下させ、記録層 7 を非晶質化する。

【手続補正 3】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 1 9

【補正方法】 変更

【補正の内容】

【 0 0 1 9 】

また、これとは逆に、システム部 2 A は、入力回路 1 6 の制御により論理 0 のデータを記録する場合、図 4 (B) に示すように、行アドレスデコーダ 1 3 及び列アドレスデコーダ 1 4 により選択されたメモリチップの記録層 7 において、論理 1 のデータを記録する場合に比して小さな電流が長い時間流れるように所定の電圧を印加する。これにより G e S b T e を所定温度以上に温度上昇させた後、徐々に温度低下させ、記録層 7 を結晶化する。